

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-094198

(43)Date of publication of application : 04.04.1990

(51)Int.Cl.

G11C 16/06  
G11C 17/12

(21)Application number : 63-246443

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.09.1988

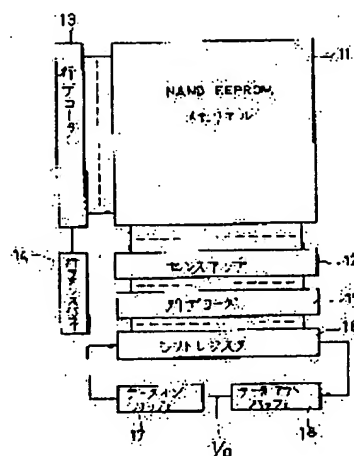
(72)Inventor : TANAKA TOMOHARU  
MOMOTOMI MASAKI  
IWATA YOSHIHISA  
ITO YASUO  
OHIRA HIDEKO  
MASUOKA FUJIO

## (54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

## (57)Abstract:

**PURPOSE:** To perform data writing and readout at high speeds by providing a shift register for tentatively storing input or output data on the same substrate.

**CONSTITUTION:** This nonvolatile semiconductor memory device is provided with an E2PROM array 11, sense amplifier 12, row decoder 13, row address buffer 14, column decoder 15, data-in buffer 17, and data-out buffer 18. In addition, a shift register 16 for tentatively storing input or output data is provided between the row decoder 15 and data-in buffer 17 and data-out buffer 18 and these circuits are formed on the same chip substrate in an integrated state. When the shift register 16 is formed on the E2PROM chip having a NAND cell constitution in an united state in such way, high-speed operations become possible.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A) 平2-94198

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月4日

G 11 C 16/06

7341-5B  
7341-5B

G 11 C 17/00

3 0 9 A  
B ※

審査請求 未請求 請求項の数 2 (全15頁)

⑭ 発明の名称 不揮発性半導体メモリ装置

⑰ 特 願 昭63-246443

⑱ 出 願 昭63(1988)9月30日

⑲ 発 明 者 田 中 智 晴 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内⑲ 発 明 者 百 富 正 樹 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内⑲ 発 明 者 岩 田 佳 久 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内⑲ 発 明 者 伊 藤 寧 夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

最終頁に続く

## 明 細 書

## 1. 発明の名称

不揮発性半導体メモリ装置

## 2. 特許請求の範囲

(1) 半導体基板上に、ゲート絶縁膜を介して電荷蓄積層と制御ゲートが積層され、前記電荷蓄積層と基板またはドレイン層との間の電荷の授受により電氣的替替えを可能としたメモリセルが複数個直列接続されて構成されたNANDセルが複数個マトリクス状に配列され、NANDセルの一端側のドレインがビット線に接続され、各メモリセルの制御ゲートがワード線に接続されて構成される不揮発性半導体メモリ装置において、前記基板上に入力データまたは出力データを一時的に蓄えるシフトレジスタを搭載したことを特徴とする不揮発性半導体メモリ装置。

(2) 半導体基板上に、第1種の情報を格納する第1のE<sup>2</sup> PROMアレイとこれとは異なる第2種の情報を格納する第2のE<sup>2</sup> PROMアレイとが集積形成され、前記第1のE<sup>2</sup> PROMアレ

イは、ゲート絶縁膜を介して電荷蓄積層と制御ゲートが積層され、前記電荷蓄積層と基板またはドレイン層との間の電荷の授受により電氣的替替えを可能としたメモリセルが複数個直列接続されて構成されたNANDセルが複数個マトリクス状に配列され、NANDセルの一端側のドレインがビット線に接続され、各メモリセルの制御ゲートがワード線に接続されて構成され、且つ前記基板上には前記第1のE<sup>2</sup> PROMの入力データまたは出力データを一時的に蓄えるシフトレジスタが搭載されていることを特徴とする不揮発性半導体メモリ装置。

## 3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、電荷蓄積層と制御ゲートを有するMOSトランジスタ構造のメモリセルを用いて構成された電氣的替替え可能な不揮発性半導体メモリ装置(E<sup>2</sup> PROM)に関する。

## (従来の技術)

$E^2$  P R O M の分野で、電荷蓄積型（例えば浮遊ゲート）と制御ゲートを有する M O S トランジスタ構造のメモリセルが広く知られている。この  $E^2$  P R O M のメモリアレイは、互いに交差する行線と列線の各交点位置にメモリセルを配置して構成される。実際のパターン上では、二つのメモリセルのドレインを共通にしてここに列線が接続されるようにしてセル占有面積をできる限り小さいものとしている。しかしそれでも、二つのメモリセルの共通ドレイン毎に列線とのコンタクト部を必要とし、このコンタクト部がセル占有面積の大きい部分を占めている。

これを解決する有望なものとして本出願人は、先に N A N D セル構成の  $E^2$  P R O M を提案している（特願昭 62-233944 号）。この N A N D セルは、浮遊ゲートと制御ゲートを有するメモリセルを、ソース、ドレインを共用する形で複数個直接接続して構成される。N A N D セルはマトリクス配列されて、その一端側のドレイン

- 3 -

されたメモリセルのドレインまで伝達され、このメモリセルでは浮遊ゲートの電子がドレインに放出されてしきい値が負方向に移動した状態“1”（例えばしきい値-2V）のデータ書き込みが行われる。このとき、選択メモリセルよりビット線側のメモリセルでは制御ゲートと基板間に電界がかからず、消去状態を保つ。“0”書き込みの場合は、ビット線に中間電位例えば、1.5V を与える。このとき選択メモリセルよりビット線側のメモリセルでは弱い消去モードになるが、これらは未だデータ書き込みがなされていないし、また電界が弱いため過剰消去になることはない。データ読出しは、選択ワード線に0V、その他のワード線に例えば5V を与え、電流の有無を検出することにより行なう。“1”ならば電流が流れ、“0”ならば電流が流れない。

このような N A N D セル構成の  $E^2$  P R O M は、N A N D セルを構成する複数のメモリセルについてビット線とのコンタクト部を一つ設ければよいので、従来の一般的な  $E^2$  P R O M に比べて、セ

- 5 -

はビット線に接続され、各メモリセルの制御ゲートはワード線に接続される。この N A N D セルのデータ消去および書き込み動作は、浮遊ゲートとドレイン層または基板間の電子のトンネリングを利用する。具体的に消去/書き込みの動作を説明する。データ消去は、全メモリセルのワード線に20V程度の“H”レベル電位を与え、ビット線に“L”レベル電位例えば0Vを与える。これにより全てのメモリセルは導通し、その基板から浮遊ゲートに電子がトンネリングにより注入されてしきい値が正方向に移動した消去状態（例えばしきい値2V）となる。これが一括消去である。データ書き込みは、N A N D セルのうちビット線から遠い方のメモリセルから順に行なう。このとき、ビット線には例えば23Vの“H”レベル電位が与えられ、選択されたメモリセルにつながるワード線に0Vが与えられ、非選択ワード線には23Vの“H”レベル電位が与えられる。既に書き込みが行われたメモリセルにつながるワード線は、0Vとする。これにより、ビット線の“H”レベル電位は選択

- 4 -

ル占有面積が小さくなるという利点を有するが、反面、N A N D 構成であるために読出し時のセル電流が小さく、従って読出しに時間がかかるという問題がある。これは特に、N A N D セルを構成するメモリセル数を多くした場合に大きい問題である。今後従来のフロッピー・ディスクなどをこの  $E^2$  P R O M で置換しようとする場合には、先ずデータ読出し時間の短縮が図られなければならないし、同時にデータ書き込み時間の短縮も要求される。

## (発明が解決しようとする課題)

以上のように先に提案した N A N D セル構成の  $E^2$  P R O M は、これを大規模化した時データの書き込み、読出しを如何に高速に行うかが重要な解決課題となる。

本発明は、この様な問題を解決した N A N D セル構成の  $E^2$  P R O M を提供することを目的とする。

- 6 -

## 〔発明の構成〕

## （課題を解決するための手段）

本発明は、NANDセル構成の $E^2$  PROMにおいて、同じ基板上に入力データまたは出力データを一時蓄えるシフトレジスタを備えたことを特徴とする。

本発明はまた、基板上に第1種の情報を格納する第1の $E^2$  PROMアレイとこれとは異種の第2種の情報を格納する第2の $E^2$  PROMアレイを集積形成して構成される $E^2$  PROMであって、前記第1の $E^2$  PROMアレイはNANDセル構成として、前記基板上に前記第1の $E^2$  PROMの入力データまたは出力データを蓄えるシフトレジスタを一体形成したことを特徴とする。

## （作用）

本発明の $E^2$  PROMにおいては、データ書込み、データ読み出しが外部との関係ではシフトレジスタにより行われるため、シフトレジスタでの並列／直列変換機能により書込み時間、読み出し時間の大幅な短縮が図られる。

— 7 —

の選択MOSトランジスタ $S_{2n}$  ( $n = 1 \sim 512$ )を介して接地される。各メモリセルの制御ゲートはビット線BLと交差するワード線WLに接続される。

第3図はその一つのNANDセルを示す平面図、第4図(a)(b)はそのA-A'、B-B'断面図である。p型シリコン基板1の素子分離絶縁膜2で区画された領域に、前述のように4個のメモリセルと2個の選択トランジスタが形成されている。各メモリセルは、基板1上に熱酸化膜からなる第1ゲート絶縁膜3を介して第1層多結晶シリコン膜による浮遊ゲート4 ( $4_1 \sim 4_4$ ) が形成され、この上に第2ゲート絶縁膜5を介して第2層多結晶シリコン膜による制御ゲート6 ( $6_1 \sim 6_n$ ) を形成して構成されている。各メモリセルの制御ゲート6はそれぞれワード線WL ( $WL_1 \sim WL_4$ ) を構成している。メモリセルのソース、ドレインとなる $n^+$ 型層9は隣接するもの同士で共用する形で4個のメモリセルが直列接続されている。そしてこの実施例では、ドレイ

— 9 —

## （実施例）

以下、本発明の実施例を説明する。

第1図は、一実施例の $E^2$  PROMの全体構成を示すブロック図である。11は $E^2$  PROMアレイであり、12はセンスアンプ、13は行デコード、14は行アドレスバッファ、15は列デコード、17はデータインバッファ、18はデータアウトバッファである。行デコード15とデータインバッファ17およびデータアウトバッファ18の間に、入力データおよび出力データを一時蓄積するためのシフトレジスタ16が設けられている。これらの回路が一つのチップ基板上に集積形成されている。

第2図は、第1図の $E^2$  PROMアレイ11の等価回路図である。この実施例では、4つのメモリセル $M_1 \sim M_4$  が直列接続されてNANDセルを構成して、このようなNANDセルがマトリクス配列されている。NANDセルのドレインは第1の選択MOSトランジスタ $S_{1n}$  ( $n = 1 \sim 512$ ) を介してビット線BLに接続され、ソースは第2

— 8 —

側、ソース側に選択トランジスタ $S_1$ 、 $S_3$  が接続されて一つのNANDセルを構成している。選択トランジスタ $S_1$ 、 $S_3$  のゲート電極4<sub>9</sub>、6<sub>9</sub> および4<sub>10</sub>、6<sub>10</sub> はメモリセルの浮遊ゲートおよび制御ゲートを構成する第1層、第2層多結晶シリコン膜を同時にパターンニングして得られ、電極4<sub>9</sub>と6<sub>9</sub>の間および電極4<sub>10</sub>と6<sub>10</sub>の間はワード線方向の所定間隔でコンタクトしている。全体はCVD絶縁膜7で覆われ、メモリセルに対して選択トランジスタ $S_1$  のドレインである $n^+$ 型層にコンタクトするビット線BLとしてのA<sub>1</sub>配線8が配設されている。

各メモリセルでの浮遊ゲート4と基板1間の結合容量 $C_1$ は、浮遊ゲート4と制御ゲート6間の結合容量 $C_2$ に比べて小さく設定されている。具体的な形状寸法を説明すれば、浮遊ゲート4および制御ゲート6は共にパターン幅 $1\mu m$ 、従ってメモリセルのチャネル長が $1\mu m$ であり、浮遊ゲート4は第4図(b)に示すようにフィールド領域上両側にそれぞれ $1\mu m$ ずつ延在させている。

— 10 —

第1ゲート絶縁膜3は200Åの熱酸化膜であり、第2ゲート絶縁膜5は350Åの熱酸化膜である。

この様なNANDセルは、第2図に示すようにビット線コンタクト、ソース拡散層を共用しながらビット線方向に折返しつつ繰返し配列されている。

第5図は、メモリセル $M_1 \sim M_3$ からなるNANDセルに適用した時の消去および書込みの動作を説明するためのタイミング図である。先ず、NANDセルを構成するメモリセル $M_1 \sim M_3$ を一括して消去する。そのためにこの実施例では、選択トランジスタ $S_1$ のゲート電極 $SG_1$ に“H”レベル（例えば昇圧電位 $V_{pp}=20V$ ）を与え、選択トランジスタ $S_2$ のゲート電極 $SG_2$ も“H”レベル（例えば $V_{cc}=5V$ ）とし、NANDセル内の全てのメモリセルのドレイン、ソースを0Vに保ち、ワード線 $WL_1 \sim WL_3$ に“H”レベル（例えば $V_{pp}=20V$ ）を与える。これによりメモリセル $M_1 \sim M_3$ の制御ゲートとソース、ドレインおよび基板との間に電界がかかり、トンネ

— 11 —

$M_1$ のドレインまで伝達され、メモリセル $M_1$ では制御ゲートと基板間に高電界がかかる。この結果浮遊ゲートの電子はトンネル効果により基板に放出され、しきい値が負方向に移動して、例えばしきい値 $-2V$ の状態“1”になる。このときメモリセル $M_1 \sim M_3$ では制御ゲートと基板間に電界がかからず消去状態を保つ。“0”書込みの場合はビット線 $BL$ に中間電位（例えば10V）を与える。次にメモリセル $M_3$ の書込みに移る。即ち選択ゲート $SG_1$ 、 $SG_2$ は“H”レベルに保ったまま、ワード線 $WL_3$ を“L”レベルとする。このときビット線 $BL$ に“H”レベルが与えられると、メモリセル $M_3$ で“1”書込みがなされる。以下同様に順次メモリセル $M_2$ 、 $M_1$ に書込みを行う。

以上において、実施例の $E^2$ PRMを構成する基本NANDセルの構成と動作を説明した。次にこの様なNANDセルを用いたメモリアレイおよびその周辺回路を含む第1図の全体構成につき、その動作を説明する。なおこの実施例で

— 13 —

ル効果によって浮遊ゲートに電子が注入される。メモリセル $M_1 \sim M_3$ はこれによりしきい値が正方向に移動し、“0”状態となる。こうしてワード線 $WL_1 \sim WL_3$ に沿う全てのNANDセルが一括消去される。

次にNANDセルへのデータ書込みを行う。データ書込みは、ビット線 $BL$ から遠い方のメモリセル $M_1$ から順に行う。これは書込み時、選択メモリセルよりビット線側にあるメモリセルが消去モードになるためである。先ずメモリセル $M_1$ への書込みは、第5図に示すように選択トランジスタ $S_1$ のゲート $SG_1$ およびワード線 $WL_1 \sim WL_3$ に昇圧電位 $V_{pp}+V_{th}$ （メモリセルの消去状態のしきい値）以上の“H”レベル（例えば23V）を印加する。選択メモリセル $M_1$ の制御ゲートにつながるワード線 $WL_1$ と選択トランジスタ $S_2$ のゲート電極 $SG_2$ は“L”レベルとする。このときビット線 $BL$ に“H”レベルを与えるとこれは、選択トランジスタ $S_1$ およびメモリセル $M_1 \sim M_3$ のチャネルを通してメモリセル

— 12 —

は、 $E^2$ PRMアレイ11のビット線の本数を512本とし、シフトレジスタ16はこのビット線本数の4倍の容量を持つ。

第6図は、この $E^2$ PRMのページ・モードによるデータ消去および書込みの動作を説明するタイミング図である。チップ・イネーブル信号 $\overline{CE}$ が“L”レベルになって、 $E^2$ PRMチップはアクティブになる。 $\overline{OE}$ はアウトプット・イネーブル信号でこれが“H”レベルのとき書込みモードである。 $\overline{WE}$ は書込みイネーブル信号であり、これが“H”レベルから“L”レベルになる時にアドレスを取込む。アドレスは、第2図に示されるメモリアレイの一つのブロックを指定する。 $SIC$ は、シリアル・インプット・カウンタであり、これが“L”レベルから“H”レベルになる時に入力データを取込む。 $R/\overline{B}$ は、Ready/ $\overline{Busy}$ 信号であり、書込み中はこれが“L”レベルとなって外部に書込み中であることを知らせる。シリアル・インプット・カウンタ $SIC$ の“H”レベル→“L”レベル→“H”レベルのサイクル

— 14 —

を1ページ分(この実施例では、メモリアレイのビット線数512の4倍)の回数繰返すことにより、この1ページ分のデータはシフトレジスタ16に高速に取込まれる。シフトレジスタ16に一時記憶されたデータは同時にメモリアレイ11のビット線に転送され、アドレスで指定されたメモリセルに書込みが行われる。

従ってこの実施例により、ページ・モードで512×4ビットのデータを書込むに要する時間は、1個の外部データを取込む時間を1μsecとして、512×4個のデータを取込む時間(=1μsec×512×4)+消去時間(10msec)+書込み時間(10msec)≒22msecとなる。ちなみに、シフトレジスタ16がなく、ページ・モードを用いないで同じビット数のデータを書込む場合には、書込み時間および消去時間を共に10msecとして、512×20msec≒41msecとなる。こうしてこの実施例によれば、およそ1850倍の高速書込みが可能になる。

第7図は、読出し動作を説明するためのタイミ

— 15 —

nチャネルMOSトランジスタQ<sub>4</sub>がオフのときにフリップフロップとして働き、これと逆の状態では2段のインバータ列である。

第15図は、このシフトレジスタのデータインバッファからのデータ入力動作を示すタイミング図である。φ、φ̄はシリアル・インプット・カウンタ信号SICからチップ内部で作られるクロック信号であり、例えばφが“L”レベル、φ̄が“H”レベルでるときデータインバッファからシフトレジスタの初段フリップフロップFF<sub>1</sub>にデータが転送される。次にφが“H”レベル、φ̄が“L”レベルのとき、フリップフロップFF<sub>1</sub>のデータがフリップフロップFF<sub>2</sub>に転送される。以下同様にして順次データがシリアルに転送される。

第16図は、このシフトレジスタからデータアウトバッファへのデータ転送動作を示すタイミング図である。この場合のクロックφ、φ̄は、シリアル・アウトプット・カウンタ信号SOCからチップ内部で作られる。

— 17 —

ング図である。チップ・イネーブル $\overline{CE}$ が“H”レベルから“L”レベルになる時にアドレスが取り込まれる。書込み時一括してE<sup>2</sup>PR<sub>2</sub>OMに書き込まれたデータは、書込み時に入力した順と同じ順序でシリアル・アウトプット・カウンタSOCが“L”レベルから“H”レベルになる時に一つずつ出力される。R/ $\overline{B}$ はメモリセルから512×4個のデータをシフトレジスタ16に転送する時間“L”レベルになり、出力待ちを外部に知らせる。多数ビットのデータがシフトレジスタ16に同時に並列に取り込まれ、これがシリアルに読み出されるから、シフトレジスタを設けない場合に比べてはるかに高速のデータ読出しが行われる。

第14図(a)(b)は、シフトレジスタ16の具体的な構成例とこれに用いるフリップフロップFF(F<sub>1</sub>, F<sub>2</sub>, …)の構成例である。フリップフロップFFは、pチャネルMOSトランジスタQ<sub>1</sub>とnチャネルMOSトランジスタQ<sub>2</sub>がオンで、pチャネルMOSトランジスタQ<sub>3</sub>と

— 16 —

こうしてこの実施例によれば、E<sup>2</sup>PR<sub>2</sub>OM内にシフトレジスタを内蔵することにより、データ書込みおよび読出しを高速に行うことが可能になる。

第8図は、本発明の他の実施例のE<sup>2</sup>PR<sub>2</sub>OMを示すブロック図である。この実施例は、フロッピー・ディスク等のような磁気記録媒体をE<sup>2</sup>PR<sub>2</sub>OMで置換する場合を想定したもので、NANDセルで構成された、第1種の情報を記録する第1のE<sup>2</sup>PR<sub>2</sub>OMアレイ19と、従来のメモリセル構成を用いた、第2種の情報を記録する第2のE<sup>2</sup>PR<sub>2</sub>OMアレイ27が同一基板上に集積形成されている。第1のE<sup>2</sup>PR<sub>2</sub>OMアレイ19の構成は先の実施例と同様である。この第1のE<sup>2</sup>PR<sub>2</sub>OMアレイ19の周囲には出力を検出するセンスアンプ20、行デコード23、行アドレスバッファ22、列デコード23等が配置され、更に先の実施例と同様に入出力データを一時記憶するシフトレジスタ24が設けられている。第2のE<sup>2</sup>PR<sub>2</sub>OMアレイ27の周囲には、セン

— 18 —

スタンプ 28、列アドレスバッファ 31、行デコード 29 等が配置される。25 はデータインバッファ、26 はデータアウトバッファである。

第 9 図は、このように構成された E<sup>2</sup> PROM のデータの消去および書込みの動作を説明するためのタイミング図である。チップ・イネーブル信号  $\overline{CE}$  が "L" レベルのときこの E<sup>2</sup> PROM はアクティブになる。 $\overline{OE}$  はアウトプット・イネーブル信号で、これが "H" レベルの時書込みモードとなる。 $\overline{DIRE}$  はディレクトリ・メモリ・イネーブル信号であり、これが "L" レベルの時第 2 の E<sup>2</sup> PROM アレイ 27 をアクセスする。 $\overline{DIRE}$  が "L" レベルの時、書込みイネーブル  $\overline{WE}$  が "H" レベルから "L" レベルになる時にアドレスを取り込み、"L" レベルから "H" レベルになる時に入力データを取込む。第 2 の E<sup>2</sup> PROM アレイ 27 には 1 バイトずつ消去および書込みを行う。 $\overline{DIRE}$  が "H" レベルのときは、第 1 の E<sup>2</sup> PROM アレイ 19 をアクセスする。このときの動作は、先の実施例

- 19 -

であり、この実施例では 1 セクタが 256 バイトとなっている。

こうしてこの実施例による E<sup>2</sup> PROM をフロッピー・ディスクを置換すれば、ディスクドライブ装置、ディスクドライブ・インターフェース等が不要となり、高速化、軽量小形化、省電力化が図られる。

第 12 図 (a) (b) は、本発明を LSI メモリカードに適用した実施例の斜視図と平面図である。32 は、第 1 図の実施例で説明した E<sup>2</sup> PROM チップであり、ここでは 9 この E<sup>2</sup> PROM チップ 32 を搭載している。これらの E<sup>2</sup> PROM チップ 32 に対して、第 8 図の実施例で示した E<sup>2</sup> PROM アレイ 27 に対応するディレクトリ・メモリ領域としての E<sup>2</sup> PROM チップ 33 を 1 個搭載し、またこれらのメモリ・チップと外部とのインタフェースの働きをする制御用 LSI チップ 34 を搭載している。35 は接続端子である。第 13 図はこの LSI メモリカードのシステム構成である。

- 21 -

におけると同様である。

第 10 図は、読出し動作を説明するためのタイミング図である。 $\overline{DIRE}$  が "L" レベルの時、第 2 の E<sup>2</sup> PROM アレイ 27 がアクセスされ、 $\overline{CE}$  が "H" レベルから "L" レベルになる時に、或いはアドレスが変化した時に読出し動作を行う。出力データは 1 バイトずつ読み出される。 $\overline{DIRE}$  が "H" レベルの時、第 1 の E<sup>2</sup> PROM アレイ 19 がアクセスされる。このときの第 1 の E<sup>2</sup> PROM アレイ 19 の動作は、先の実施例において説明したのと同様である。

この実施例による E<sup>2</sup> PROM は、例えば計算機のソフトウェアを記憶保持するのに応用することができ、1 バイトずつ消去・書込みおよび読出し動作を行う第 2 の E<sup>2</sup> PROM アレイ 27 は、ファイル情報を格納するメモリ領域（ディレクトリ・メモリ領域）であり、例えば第 11 図に示されるような内容を記憶させる。一括消去・書込み・読出しを行う第 1 の E<sup>2</sup> PROM アレイ 19 は、ファイル内容を格納するメモリ領域（データ領域）

- 20 -

この実施例によれば、高速で小形軽量、省電力のメモリカードが得られる。

#### 〔発明の効果〕

以上述べたように本発明によれば、NAND セル構成の E<sup>2</sup> PROM チップにシフトレジスタを一体形成することにより、高速動作可能とした E<sup>2</sup> PROM を実現することができる。

#### 4. 図面の簡単な説明

第 1 図は、本発明の一実施例の E<sup>2</sup> PROM の構成を示すブロック図、第 2 図はそのメモリアレイ構成を示す等価回路図、第 3 図はその一つの NAND セルを示す平面図、第 4 図 (a) (b) は第 3 図の A-A' および B-B' 断面図、第 5 図は一つの NAND セルの消去および書込み動作を説明するためのタイミング図、第 6 図はこの実施例の E<sup>2</sup> PROM の消去・書込み動作を説明するためのタイミング図、第 7 図は同じく読出し動作を説明するためのタイミング図、第 8 図は他の実施例の E<sup>2</sup> PROM を示すブロック図、第 9 図はその消去・書込み動作を説明するためのタイミ

- 22 -



ング図、第10図は同じく読出し動作を説明するためのタイミング図、第11図はそのディレクタ・メモリ領域の構成例を示す図、第12図(a)(b)は本発明の更に他の実施例のメモリカードを示す斜視図と平面図、第13図はそのメモリカードのシステム構成図、第14図(a)(b)は、本発明に用いるシフトレジスタの具体的構成例とその構成要素を示す図、第15図はこのシフトレジスタへのデータ入力動作を説明するためのタイミング図、第16図は同じくデータ出力動作を説明するためのタイミング図である。

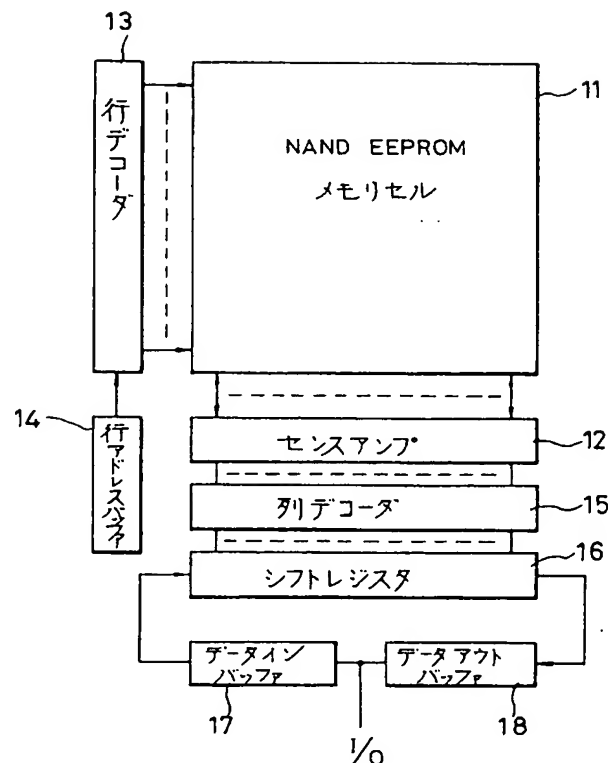
11…NANDセル型メモリセルアレイ、  
12…センスアンプ、13…行デコード、14…  
行アドレスバッファ、15…列デコード、16…  
シフトレジスタ、17…データインバッファ、  
18…データアウトバッファ、1…半導体基板、  
2…素子分離絶縁膜、3、5…ゲート絶縁膜、  
4…浮遊ゲート、6…制御ゲート、7…CVD  
絶縁膜、8…ビット線、9…n<sup>+</sup>型層、19…  
第1のE<sup>2</sup>PROMアレイ、20…センスアンプ、

21…行デコード、22…行アドレスバッファ、  
23…列デコード、24…シフトレジスタ、  
25…データインバッファ、26…データアウト  
バッファ、27…第2のE<sup>2</sup>PROMアレイ、  
28…センスアンプ、29…行デコード、30…  
列デコード、31…列アドレスバッファ。

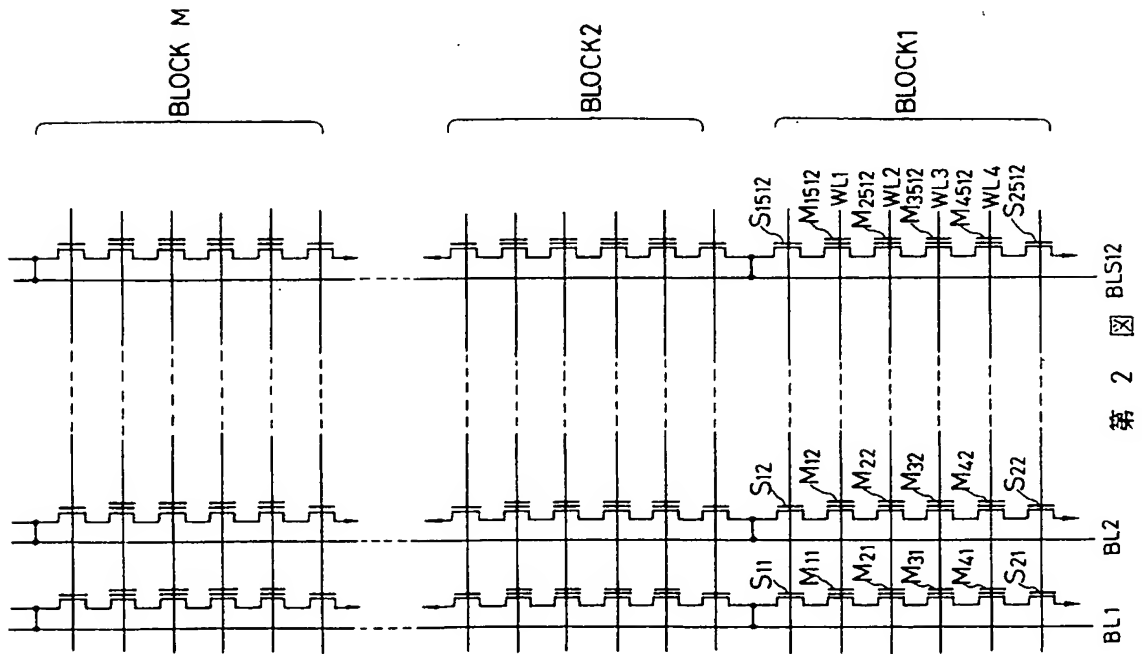
出願人代理人 弁理士 鈴江武彦

— 23 —

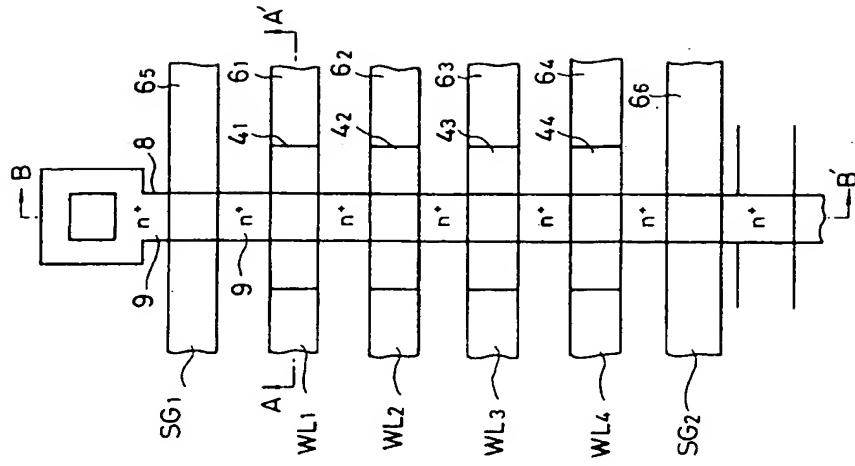
— 24 —



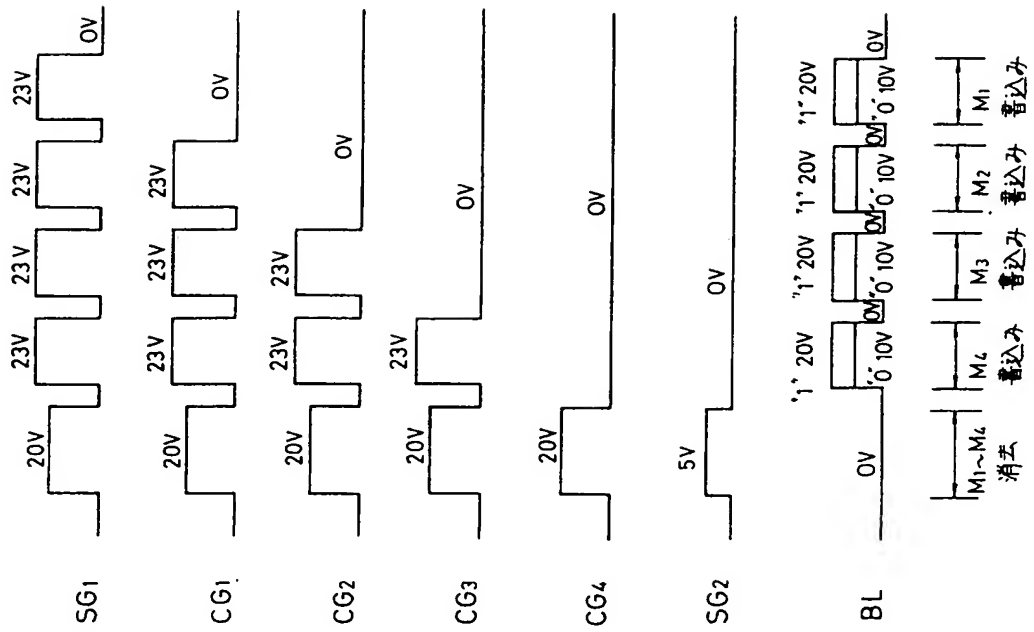
第 1 図



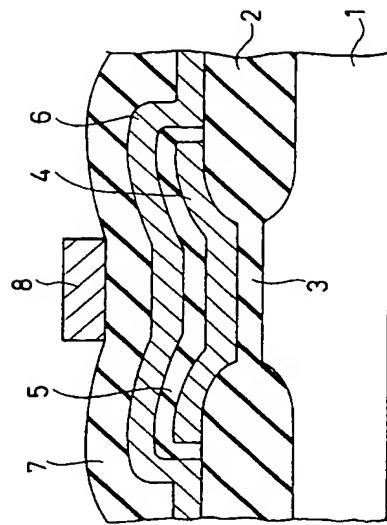
第 2 図



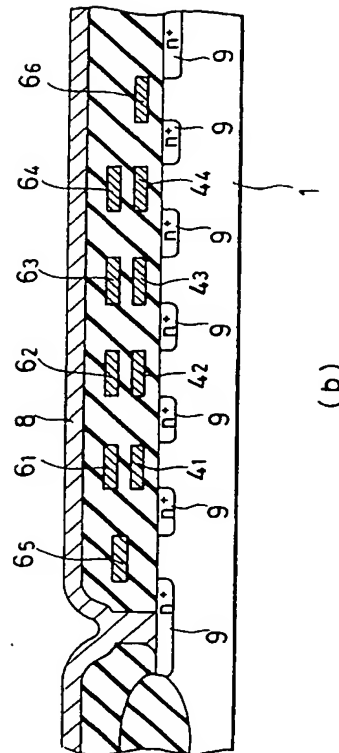
第 3 図



5 数据

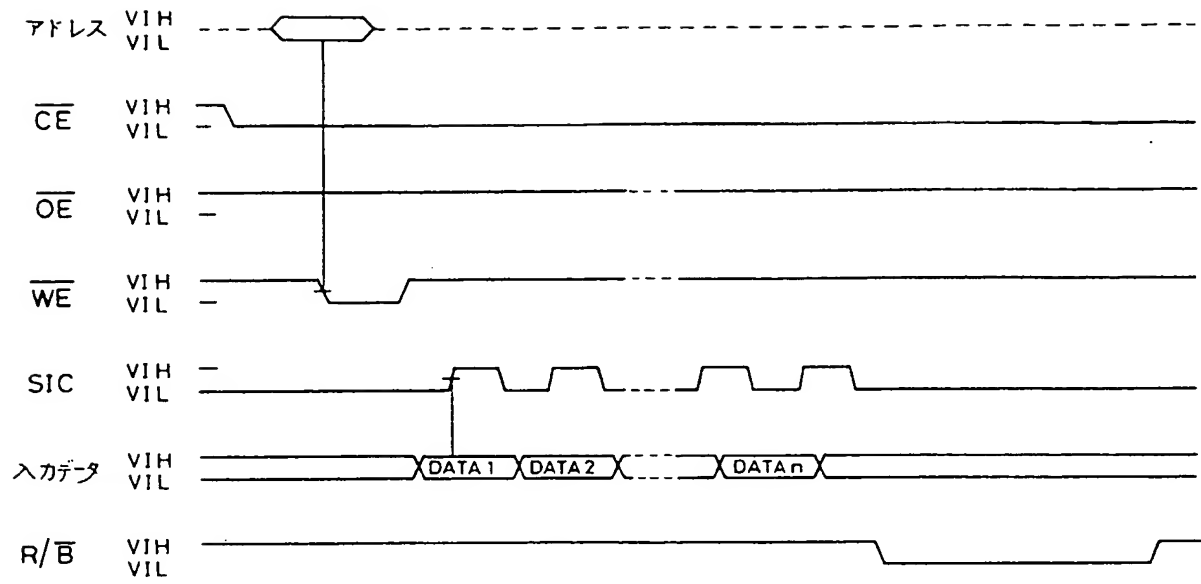


(a)

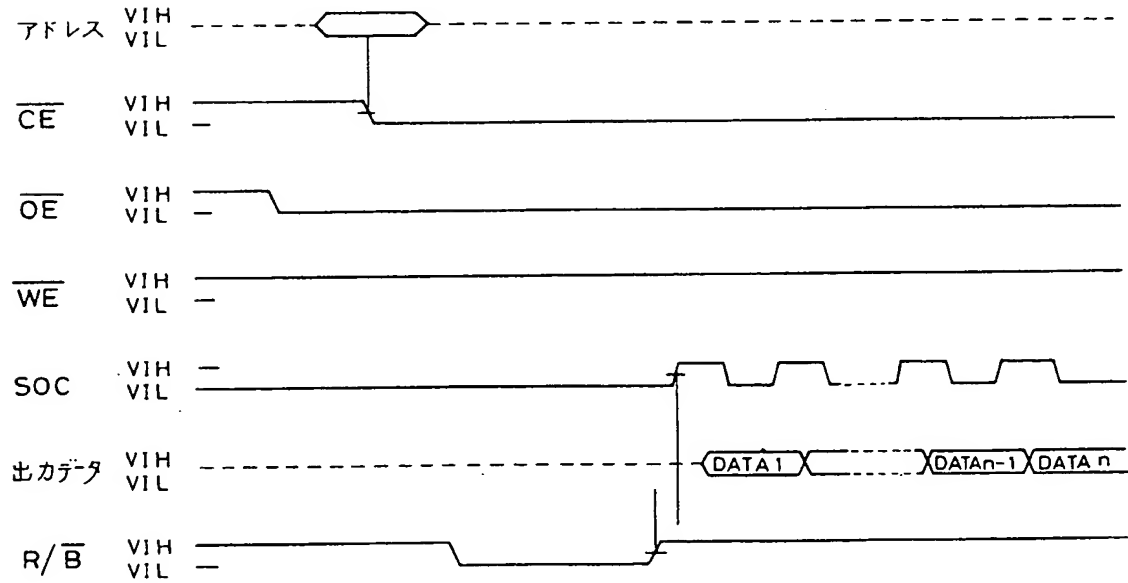


(b)

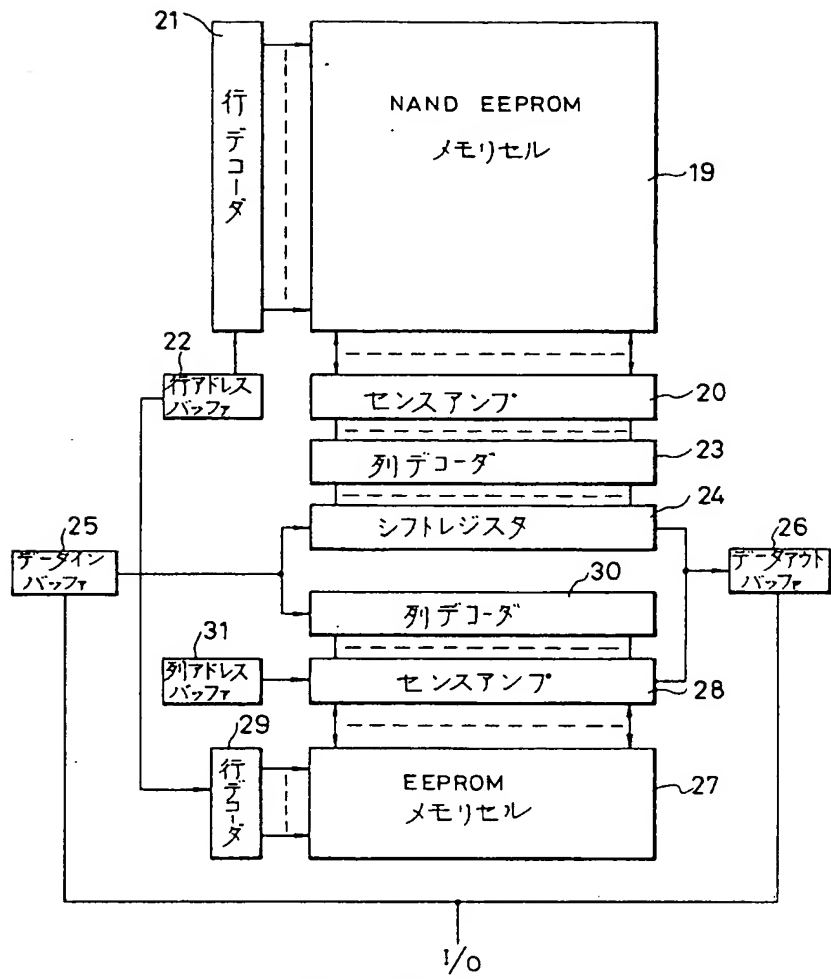
第四



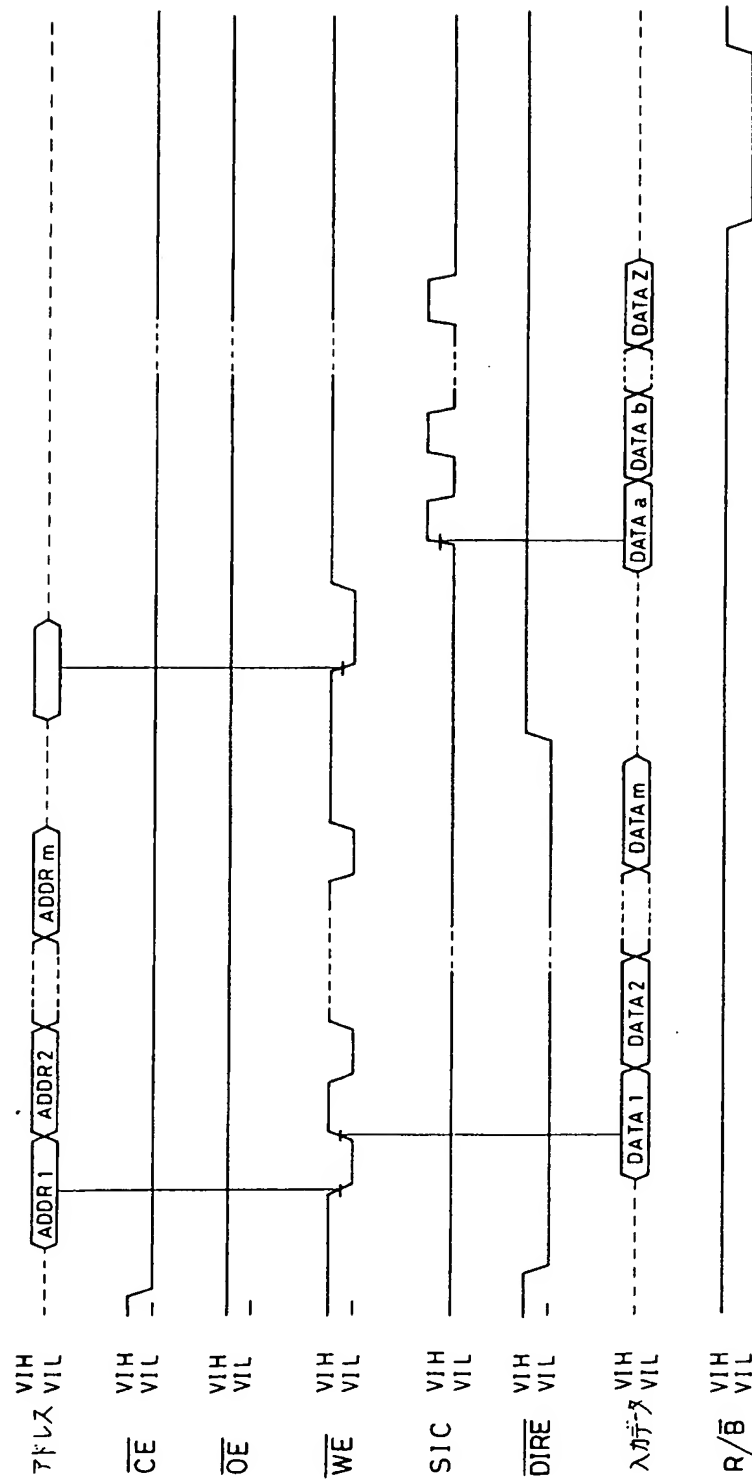
第 6 図



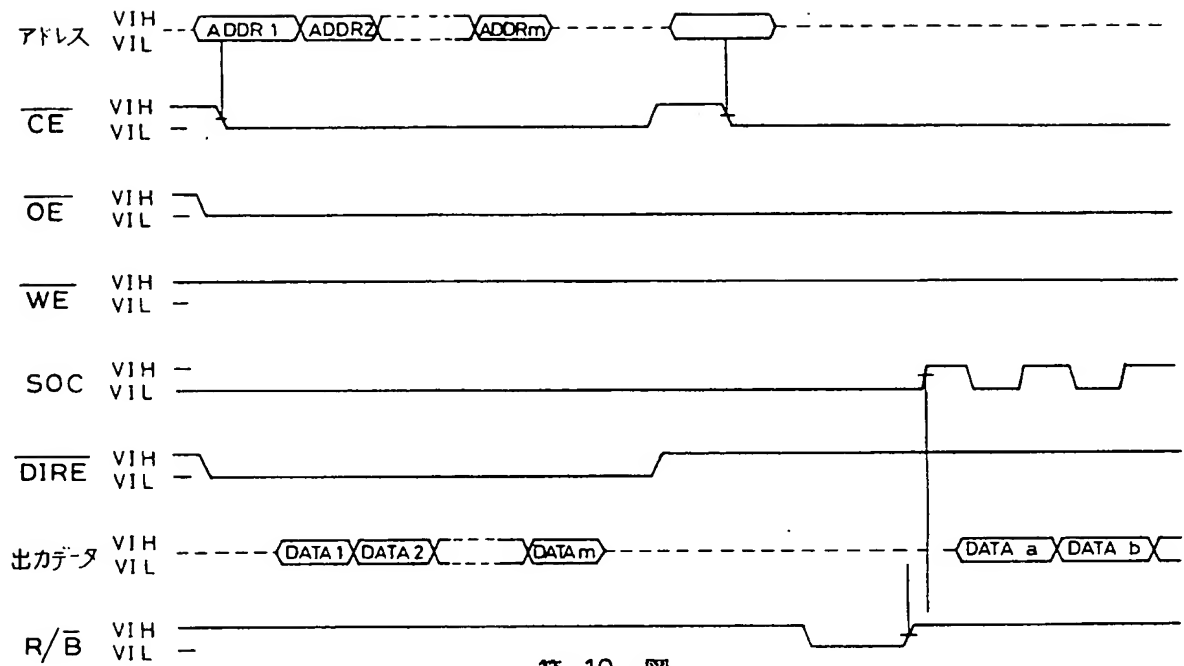
第 7 図



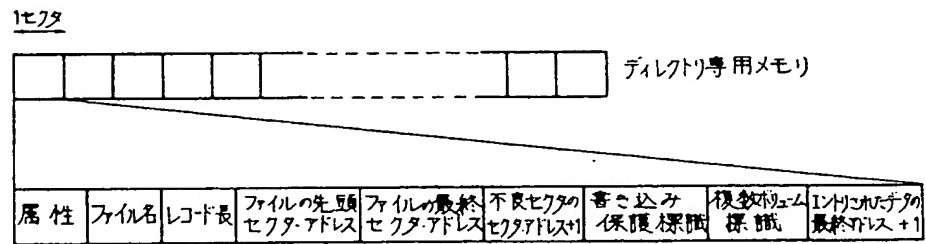
第 8 図



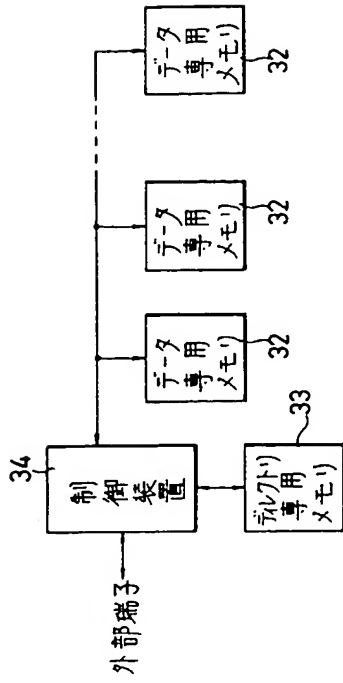
第 9 図



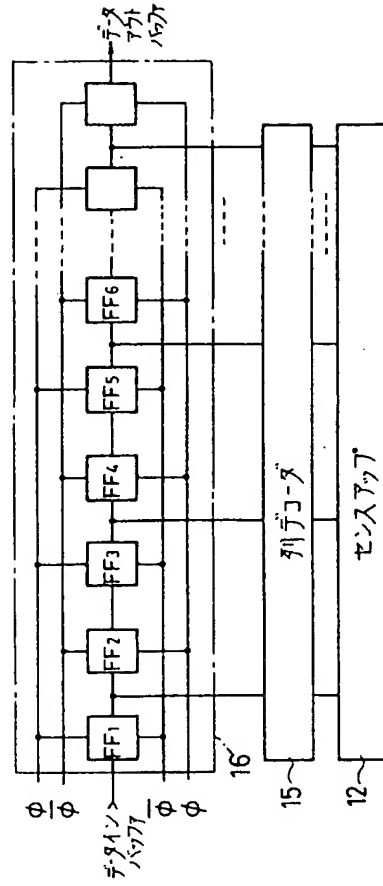
第 10 図



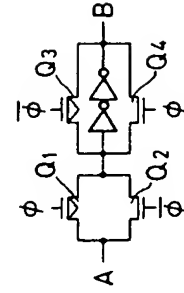
第 11 図



第 13 図

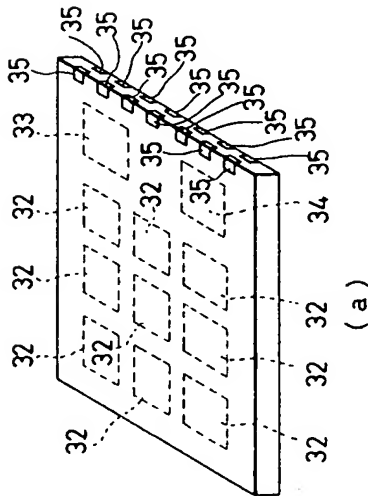


(a)

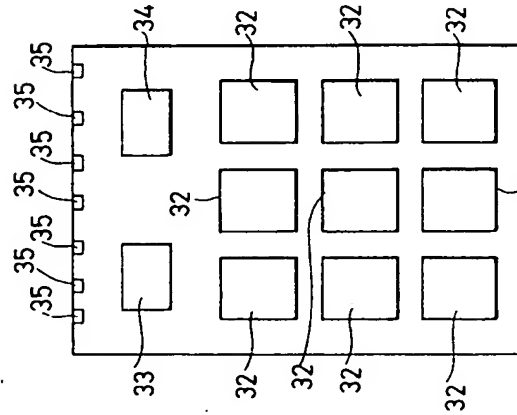


(b)

第 14 図



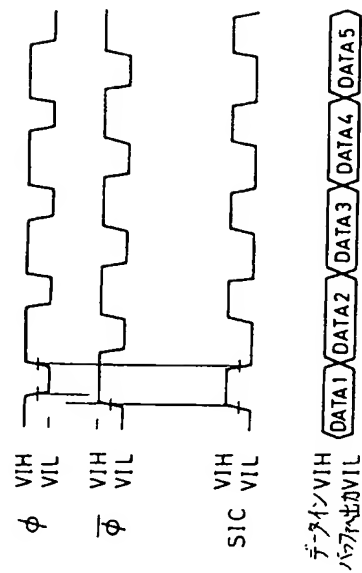
(a)



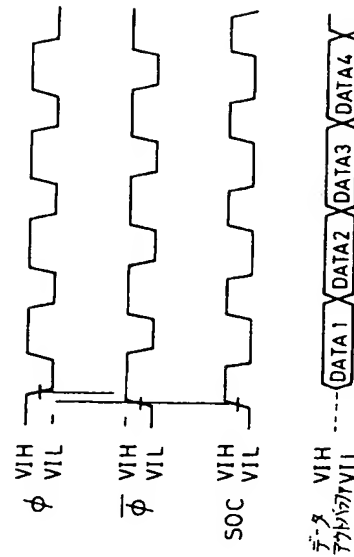
(b)

第 12 図





第 15 図



第 16 図

第 1 頁の続き

⑤Int. Cl.<sup>5</sup>

G 11 C 17/12

識別記号

庁内整理番号

7341-5B

G 11 C 17/00

3 0 4 A

⑫発 明 者 大 平 秀 子

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝総合  
研究所内

⑫発 明 者 舩 岡 富 士 雄

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝総合  
研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**